

PAT-NO: JP02000012541A

DOCUMENT-IDENTIFIER: JP 2000012541 A

TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: January 14, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
IGARASHI, HIROFUMI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
TOSHIBA CORP	N/A

APPL-NO: JP10172341

APPL-DATE: June 19, 1998

INT-CL (IPC): H01L021/3205, G03F007/40 , H01L021/027

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a method for manufacturing a semiconductor device having a high integration density without causing increase of the number of its manufacturing steps.

SOLUTION: Resist 4 is formed on an interlayer insulating film 3 formed on a semiconductor substrate 1, and the resist is subjected to a light exposure with use of a mask of half-tone or the like to form a resist pattern having different film thicknesses depending on locations. Next, the interlayer film 3 is etched with the resist pattern masked to thereby make a groove 5 and a contact hole 6 in a wiring layer having different depths in an identical step. The resist pattern may be formed by laminating resist layers having different sensitivities and exposing the layers with light.

COPYRIGHT: (C)2000,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-12541

(P2000-12541A)

(43)公開日 平成12年1月14日(2000.1.14)

(51)Int.Cl'
H 01 L 21/3205
G 03 F 7/40
H 01 L 21/027

識別記号

5 2 1

F I
H 01 L 21/88
G 03 F 7/40
H 01 L 21/30
K 2 H 0 9 6
5 2 1 5 F 0 3 3
5 0 2 P 5 F 0 4 6
5 1 6 D
5 2 8

マーク*(参考)

審査請求 未請求 請求項の数13 OL (全 7 頁)

(21)出願番号 特願平10-172341

(22)出願日 平成10年6月19日(1998.6.19)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 五十嵐 弘文

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74)代理人 100083161

弁理士 外川 英明

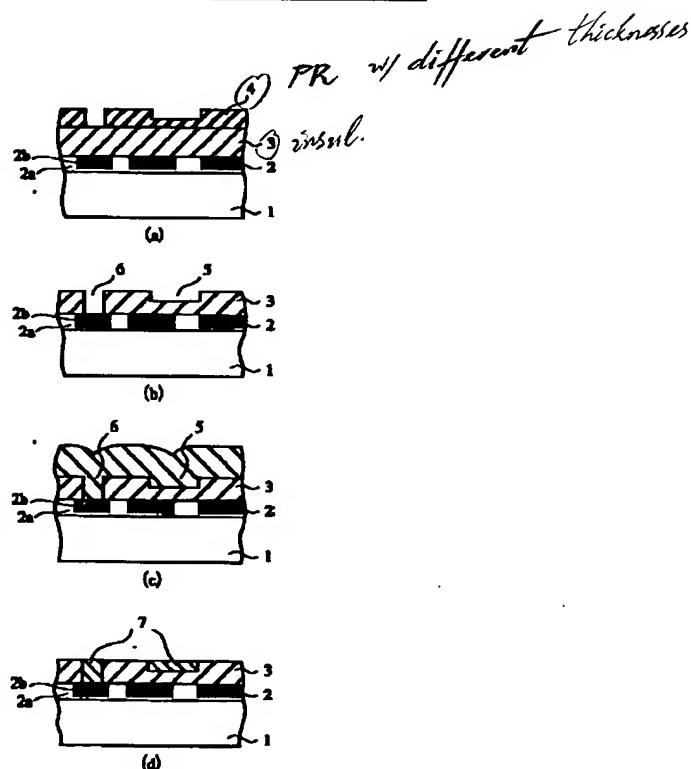
Fターム(参考) 2B096 AA25 CA05 EA11 HA14 HA23
HA27 HA30 JA04 KA02 LA01
5F033 AA04 AA15 AA29 AA32 AA33
AA64 AA66 BA12 BA34 BA37
DA01 DA35 EA19 EA27 EA33
5F046 AA01 AA11 DA02

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】製造工程を増加させずに、集積度の高い半導体装置を製造すること。

【解決手段】半導体基板1上に形成された層間絶縁膜3上にレジスト4を形成する。このレジストをハーフトーン等のマスクを用いて露光し、場所によって膜厚の異なるレジストパターンを形成する。次に、このレジストパターンをマスクにして層間絶縁膜3をエッチングし、深さの異なる配線層の溝5及びコンタクトホール6を同一工程で形成する。また、感度の異なるレジストを積層して露光し、レジストパターンを形成することも可能である。



【特許請求の範囲】

【請求項1】 半導体基板上に絶縁膜を形成する工程と、前記絶縁膜上にレジストを形成する工程と、場所によって異なる露光エネルギーで前記レジストを露光しレジストパターンを形成する工程と、前記レジストパターンをマスクにして前記絶縁膜をエッチングし、前記絶縁膜に深さの異なる複数個の溝を形成する工程と、前記溝に導電膜を形成する工程とを具備したことを特徴とする半導体装置の製造方法。

【請求項2】 半導体基板上に絶縁膜を形成する工程と、前記絶縁膜上に第1のレジストを形成する工程と、前記第1のレジスト上に前記第1のレジストよりも感度の小さい第2のレジストを形成する工程と、少なくとも前記第1のレジストが残るように前記第1及び第2のレジストを露光してレジストパターンを形成する工程と、前記レジストパターンをマスクにして前記絶縁膜をエッチングし、前記絶縁膜に深さの異なる複数個の溝を形成する工程と、前記溝に導電膜を形成する工程とを具備したことを特徴とする半導体装置の製造方法。

【請求項3】 前記レジストパターンを形成する工程において、前記半導体基板上のある所定の領域に対しては前記第1のレジストの感度以上の露光エネルギーで前記第1及び第2のレジストを露光し、別の所定の領域に対しては前記第2のレジストの感度以上で且つ前記第1のレジストの膜厚が略初期値に保たれる最大露光エネルギー以下の露光エネルギーで前記第2のレジストを露光することを特徴とする請求項1または請求項2記載の半導体装置の製造方法。

【請求項4】 前記レジストパターンを形成する工程において、透過する光の振幅が減衰する位相シフタでマスクパターンを形成したマスクを用いて前記レジストを露光し、前記レジストパターンを形成することを特徴とする請求項1乃至請求項3のいずれか記載の半導体装置の製造方法。

【請求項5】 前記レジストパターンを形成する工程において、ハーフトーンマスクを用いて前記レジストを露光し前記レジストパターンを形成することを特徴とする請求項1乃至請求項3のいずれか記載の半導体装置の製造方法。

【請求項6】 前記深さの異なる複数個の溝は、配線層、ピア、コンタクトホールのいずれかであることを特徴とする請求項1乃至請求項3のいずれか記載の半導体装置の製造方法。

【請求項7】 半導体基板に第1の絶縁膜を形成する工程と、バーニングしたマスクを用いて前記第1の絶縁膜をエッチングし第1の溝を形成する工程と、前記第1の溝に第1の導電膜を埋め込み第1の配線層を形成する工程と、表面上に第2の絶縁膜を形成する工程と、前記第2の絶縁膜上にレジストを形成する工程と、前記半導体基板上の第2の溝形成予定領域の方が前記第2の絶縁

膜の第3の溝形成予定領域よりも強度の大きい光が透過されるように前記レジストを露光し、レジストパターンを形成する工程と、前記レジストパターンをマスクにして、前記第2の絶縁膜をエッチングし各々深さの異なる第2の溝及び第3の溝を形成する工程と、前記第2及び第3の溝に第2の導電膜を埋め込み、コンタクトホール及び第2の配線層を形成する工程とを具備したことを特徴とする半導体装置の製造方法。

【請求項8】 半導体基板上に絶縁膜を形成する工程と、前記絶縁膜上に第1のレジストを形成する工程と、前記第1のレジスト上に前記第1のレジストよりも感度の小さい第2のレジストを形成する工程と、前記第2のレジスト上に前記第2のレジストよりも感度の小さい第3のレジストを形成する工程と、少なくとも前記第1のレジストが残るように前記第1乃至第3のレジストを露光してレジストパターンを形成する工程と、前記レジストパターンをマスクにして前記絶縁膜をエッチングし各々深さの異なる第1乃至第3の溝を形成する工程と、前記第1乃至第3の溝に導電膜を埋め込む工程とを具備したことを特徴とする半導体装置の製造方法。

【請求項9】 前記レジストパターンを形成する工程において、第1の溝形成予定領域は前記第1のレジストの感度以上の露光エネルギーで、第2の溝形成予定領域は前記第2のレジストの感度以上で且つ前記第1のレジストの膜厚が略初期値に保たれる最大露光エネルギー以下で露光エネルギーで、第3の溝形成予定領域は前記第3のレジストの感度以上で且つ前記第2のレジストの膜厚が略初期値に保たれる最大露光エネルギー以下の露光エネルギーで前記第1乃至第3のレジストを露光することを特徴とする請求項7または請求項8半導体装置の製造方法。

【請求項10】 前記レジストパターンを形成する工程において、透過する光の振幅が減衰する位相シフタでマスクパターンを形成したマスクを用いて前記第1乃至第3のレジストを露光したことを特徴とする請求項7乃至請求項9のいずれか記載の半導体装置の製造方法。

【請求項11】 前記レジストパターンを形成する工程において、ハーフトーンマスクを用いて前記第1乃至第3のレジストを露光したことを特徴とする請求項7乃至請求項9のいずれか記載の半導体装置の製造方法。

【請求項12】 前記第1の溝は、コンタクトホールあるいはピアであることを特徴とする請求項7乃至請求項9のいずれか記載の半導体装置の製造方法。

【請求項13】 前記第2及び第3の溝は配線層であることを特徴とする請求項7乃至請求項9のいずれか記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に係り、特に、多層配線層を有する半導体装置の製

造方法に関するものである。

【0002】

【従来の技術】従来の半導体装置の製造方法について図面を参照して説明する。図4は、従来の半導体装置の製造工程図である。まず、図4(a)に示されるように、半導体基板101上にダマシンプロセス等により絶縁膜102a、配線102bを有する下層配線層102を形成する。次に、この表面上に層間絶縁膜103を形成する。次に、この層間絶縁膜103上にレジスト104を形成し、配線部分のレジストパターンを形成する。次に、このレジストパターンをマスクにして、層間絶縁膜103をエッチングし配線領域となる溝105を形成する。

【0003】次に、図4(b)に示されるように、レジスト104を除去し、層間絶縁膜103の表面上にレジスト106を形成し、コンタクトホール部分のレジストパターンを形成する。次に、このレジストパターンをマスクにして、層間絶縁膜103をエッチングしコンタクトホール107を開孔する。

【0004】次に、図4(c)に示されるように、レジスト106を除去した後、全面にスパッタリング法等によりA1等の導電膜108を形成する。次に、図4(d)に示されるように、CMP(Chemical Mechanical Polishing)法により表面を平坦化する。

【0005】

【発明が解決しようとする課題】従来、ダマシンプロセスあるいはデュアルダマシンプロセスにより配線層を形成する場合、例えばコンタクトホール及び配線層を形成するために層間絶縁膜に形成する溝はそれぞれ深さが異なるため、各々を形成するためにリソグラフィー工程及びエッチング工程が必要とされ、製造に時間がかかるという問題があった。

【0006】また、微細化により溝を形成する際に合わせずれが生じ、コンタクトホール等のサイズが小さくなつて抵抗が上昇したり、深いところまでレジストが解像されないことがあるという問題があった。

【0007】そこで、上記問題を解決するための手段として、図5に示されるような半導体装置の製造方法がある。図5は、従来の半導体装置の製造工程図である。まず、図5(a)に示されるように、半導体基板101上に下層配線層102を形成し、表面上に層間絶縁膜103を形成する。次に、この層間絶縁膜103上にレジスト109を形成し、コンタクトホール形成予定領域の幅が配線層形成予定領域の幅よりも十分大きくなるようにレジスト109を露光し、レジストパターンを形成する。

【0008】次に、図5(b)に示されるように、このレジストパターンをマスクにして層間絶縁膜103をエッチングし、配線層を形成するための溝111及びコンタクトホール110を同一工程で形成する。

【0009】次に、図5(c)に示されるように、表面上にA1等の導電膜108を形成して配線層を形成するための溝111及びコンタクトホール110を埋め込む。次に、CMP法により表面上を平坦化する。

【0010】図5の従来例によれば、エッチングレートのサイズ依存性を利用し、配線層の幅のあるサイズより小さく、また、コンタクトホールの幅のあるサイズより大きくすることで、エッチング角により同時に深さの異なるコンタクトホール110と配線層の溝111を形成することが可能である。しかし、コンタクトホールの幅に比べて配線層の幅が非常に小さいことが必要とされるので、配線抵抗を小さくしたい場合配線層の幅を広げる必要があり、それに伴ってコンタクトホール領域の面積を大きくしなければならないので、半導体集積回路全体の面積が増大するという問題があった。本発明は上記のような事情を考慮し、製造工程を増加させず、且つ集積度の高い半導体装置の製造方法を実現することを目的としている。

【0011】

【課題を解決するための手段】上記目的を達成するためには本発明の半導体装置の製造方法は、半導体基板上に絶縁膜を形成する工程と、前記絶縁膜上にレジストを形成する工程と、場所によって異なる露光エネルギーで前記レジストを露光しレジストパターンを形成する工程と、前記レジストパターンをマスクにして前記絶縁膜をエッチングし、前記絶縁膜に深さの異なる複数個の溝を形成する工程と、前記溝に導電膜を形成する工程とを具備したことを特徴とするものである。

【0012】また、半導体基板上に絶縁膜を形成する工程と、前記絶縁膜上に第1のレジストを形成する工程と、前記第1のレジスト上に前記第1のレジストよりも感度の小さい第2のレジストを形成する工程と、少なくとも前記第1のレジストが残るよう前記第1及び第2のレジストを露光してレジストパターンを形成する工程と、前記レジストパターンをマスクにして前記絶縁膜をエッチングし、前記絶縁膜に深さの異なる複数個の溝を形成する工程と、前記溝に導電膜を形成する工程とを具備したことを特徴とする半導体装置の製造方法がある。

【0013】更に、前記レジストパターンを形成する工程において、前記半導体基板上のある所定の領域に対しては前記第1のレジストの感度以上の露光エネルギーで前記第1及び第2のレジストを露光し、別の所定の領域に対しては前記第2のレジストの感度以上で且つ前記第1のレジストの膜厚が略初期値に保たれる最大露光エネルギー以下の露光エネルギーで前記第2のレジストを露光することが望ましい。

【0014】更に、前記レジストパターンを形成する工程において、透過する光の振幅が減衰する位相シフタでマスクパターンを形成したマスクを用いて前記レジストを露光し、前記レジストパターンを形成することが望ま

しい。

【0015】また、前記レジストパターンを形成する工程において、ハーフトーンマスクを用いて前記レジストを露光し前記レジストパターンを形成することが望ましい。更に、前記深さの異なる複数個の溝は、配線層、ピア、コンタクトホールのいずれかであることが望ましい。

【0016】また、半導体基板に第1の絶縁膜を形成する工程と、バーニングしたマスクを用いて前記第1の絶縁膜をエッチングし第1の溝を形成する工程と、前記第1の溝に第1の導電膜を埋め込み第1の配線層を形成する工程と、表面上に第2の絶縁膜を形成する工程と、前記第2の絶縁膜上にレジストを形成する工程と、前記半導体基板上の第2の溝形成予定領域の方が前記第2の絶縁膜の第3の溝形成予定領域よりも強度の大きい光が透過されるように前記レジストを露光し、レジストパターンを形成する工程と、前記レジストパターンをマスクにして、前記第2の絶縁膜をエッチングし各々深さの異なる第2の溝及び第3の溝を形成する工程と、前記第2及び第3の溝に第2の導電膜を埋め込み、コンタクトホール及び第2の配線層を形成する工程とを具備したことを特徴とする半導体装置の製造方法がある。

【0017】また、半導体基板上に絶縁膜を形成する工程と、前記絶縁膜上に第1のレジストを形成する工程と、前記第1のレジスト上に前記第1のレジストよりも感度の小さい第2のレジストを形成する工程と、前記第2のレジスト上に前記第2のレジストよりも感度の小さい第3のレジストを形成する工程と、少なくとも前記第1のレジストが残るように前記第1乃至第3のレジストを露光してレジストパターンを形成する工程と、前記レジストパターンをマスクにして前記絶縁膜をエッチングし各々深さの異なる第1乃至第3の溝を形成する工程と、前記第1乃至第3の溝に導電膜を埋め込む工程とを具備したことを特徴とする半導体装置の製造方法がある。

【0018】更に、前記レジストパターンを形成する工程において、第1の溝形成予定領域は前記第1のレジストの感度以上の露光エネルギーで、第2の溝形成予定領域は前記第2のレジストの感度以上で且つ前記第1のレジストの膜厚が略初期値に保たれる最大露光エネルギー以下の露光エネルギーで、第3の溝形成予定領域は前記第3のレジストの感度以上で且つ前記第2のレジストの膜厚が略初期値に保たれる最大露光エネルギー以下の露光エネルギーで前記第1乃至第3のレジストを露光することが望ましい。

【0019】更に、前記レジストパターンを形成する工程において、透過する光の振幅が減衰する位相シフタでマスクパターンを形成したマスクを用いて前記第1乃至第3のレジストを露光したことが望ましい。

【0020】また、前記レジストパターンを形成する工 50 リストパターンの解像度を向上させるのに利用される位

程において、ハーフトーンマスクを用いて前記第1乃至第3のレジストを露光したことが望ましい。更に、前記第1の溝は、コンタクトホールあるいはピアであることが望ましい。また、前記第2及び第3の溝は配線層であることが望ましい。

【0021】

【発明の実施の形態】以下、図面を参照して本発明の第1の実施の形態にかかる半導体装置の製造方法について説明する。図1は、本発明の第1の実施の形態にかかる半導体装置の製造工程図である。

【0022】まず、図1(a)に示されるように、半導体基板1上にダマシンプロセスにより絶縁膜2a、配線102bを有する下層配線層2を形成する。次に、この表面上に例えばBPSG(Boron doped Phospho Silicate Glass)膜等の層間絶縁膜3を形成する。次に、この層間絶縁膜3上にレジスト4を形成する。次に、位相シフト法等の方法で例えばハーフトーンマスクを利用してマスクを形成し、配線形成予定領域、ピア形成予定領域及びコンタクトホール形成予定領域上のレジスト4を透過する光の振幅を減衰させて光の強度をそれぞれ変える。これによって、現像後のレジストパターンは、膜厚が各形成予定領域上で異なって形成される。

【0023】次に、図1(b)に示されるように、このレジストパターンをマスクに用いて、RIE(Reactive Ion Etching)法等により層間絶縁膜3をエッチングし、配線層の溝5及びコンタクトホール6を形成する。この時、層間絶縁膜3のエッチングレートをRd、レジスト4のエッチングレートをRri、配線形成予定領域のレジスト4の膜厚をTrとすれば、コンタクトホール6と、配線層の溝5の深さの差はRd * Tr / Rriとなる。その後、レジスト4を除去する。

【0024】次に、図1(c)に示されるように、全面にスパッタリング法によりAl等の導電膜7を蒸着させ、溝5、6内を埋め込む。次に、図1(d)に示されるように、CMP法により表面を平坦化する。以上により、本発明の第1の実施の形態にかかる半導体装置の製造工程が終了する。

【0025】図2のポジ型レジストの露光エネルギーと現像後のレジスト残量の関係図に示されているように、レジストは、ある露光エネルギーまでは光を透過してもほとんど解像されずに残り、露光エネルギーを増加させると徐々に解像され、ある露光エネルギーの光を透過させると完全に解像される。従って、レジスト残量が0になるときの露光エネルギー(以下、感度と称する)をEthとして、Ethで接線をひいてレジストの膜厚が100%に保たれている最大の露光エネルギーを求めEmとすると、レジストに透過する光の露光エネルギーをEmからEthまで変えることによって、レジストの残膜量を変えることができる。本実施の形態のように通常レジストパターンの解像度を向上させるのに利用される位

相シフト法を用いると、ある1種類の強度の光を照射しても場所によって透過される光の振幅を減衰させ、光の強度を変えることができるるので、場所によって膜厚の異なるレジストパターンを形成することができる。従って、このレジストパターンをマスクに用いることによって、深さの異なるコンタクトホール6と配線層の溝5を同一工程で形成することが可能となる。

【0026】コンタクトホール6と配線層の溝5を同一工程で形成することによって、多層配線プロセスが少ない工程数で実現することができる。また、深い溝を形成するためにコンタクトホール6の幅を大きくする必要がないので、半導体集積回路全体を微細化することができる。

【0027】また、自己整合的に配線層5、ピアまたはコンタクトホール6を形成することができるので、合わせずれによる抵抗増加を考慮する必要がなく、合わせ余裕をとることによって配線密度が低下する心配がない。

【0028】次に、本発明の第2の実施の形態にかかる半導体装置の製造方法について図3を参照して説明する。図3は、本発明の第2の実施の形態にかかる半導体装置の製造工程図である。

【0029】まず、図3(a)に示されるように、半導体基板1上にダマシンプロセスにより絶縁膜2a、配線2bを有する下層配線層2を形成し、この表面上に例えばBPSG膜等の層間絶縁膜3を形成する。次に、層間絶縁膜3上に第1のレジスト8を形成し、この第1のレジスト8上に第1のレジスト8よりも感度が小さい第2のレジスト9を形成する。次に、この第2のレジスト9上に第2のレジスト9よりも感度が小さい第3のレジスト10を形成する。第1乃至第3のレジスト8、9、10の感度の関係をE_{th1}>E_{th2}>E_{th3}、各レジスト8、9、10の膜厚が100%に保たれている最大露光エネルギーをE_{m1}>E_{m2}>E_{m3}とすると、ピアまたはコンタクトホールの露光エネルギー≥E_{th1}、E_{m1}>厚い配線の露光エネルギー≥E_{th2}、E_{m2}>薄い配線の露光エネルギー≥E_{th3}となるように、ハーフトーンマスクなど位相シフト法等の方法により各々の場所で光の強度を変えて露光することによって、場所によって膜厚の異なるレジストパターンを形成することができる。

【0030】次に、図3(b)に示されるように、このレジストパターンをマスクにして層間絶縁膜3をエッチングし、厚い配線層ための溝11、薄い配線層のための溝12、ピアまたはコンタクトホールとなる溝13を同一工程で形成する。

【0031】次に、図3(c)に示されるように、全面にA1等の導電膜7を蒸着させ溝11、12、13を埋

める。次に、CMP法により表面を平坦化する。以上により、本発明の第2の実施の形態にかかる半導体装置の製造工程が終了する。

【0032】感度の異なるレジスト8、9、10を積層することによって、同一配線層内で異なる膜厚の配線を形成することができるため、配線の抵抗や容量を変えることができ、信号の遅延やカップリングの調整を容易に実現することができる。

【0033】上記第1及び第2の実施の形態に限定されず、膜厚の異なるレジストパターンを形成する方法は、ハーフトーンマスク以外の例えばレベンソンマスク等を用いた位相シフト法でも可能である。また、位相シフト法にも限定されない。

【0034】例えば、強度の異なる複数の光源を用いてレジストを露光することによって実現することも可能である。また、1種類のレジストを形成して、異なるパターンを有するマスクパターンを複数枚用いて各々異なる光源でレジストを露光し、膜厚の異なるレジストパターンを形成することによって実現することも可能である。

【0035】

【発明の効果】本発明によれば、透過する光の強度の変化させて膜厚の異なるレジストパターンを形成することによって、少ない工程数で配線層のための溝、ピア及びコンタクトホール等の深さの異なる溝を同一工程で形成することができる。また、エッティングする深さによって溝の幅を変える必要がないので、半導体集積回路全体の微細化を図ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態にかかる半導体装置の製造工程図。

【図2】ボジ型レジストの露光エネルギーとレジスト残量の関係図。

【図3】本発明の第2の実施の形態にかかる半導体装置の製造工程図。

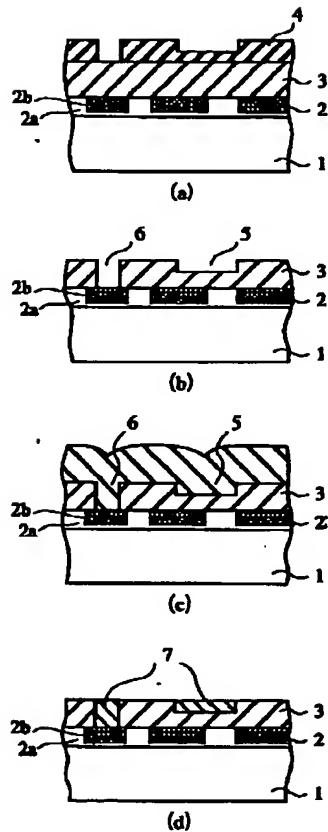
【図4】従来の半導体装置の製造工程図。

【図5】従来の半導体装置の製造工程図。

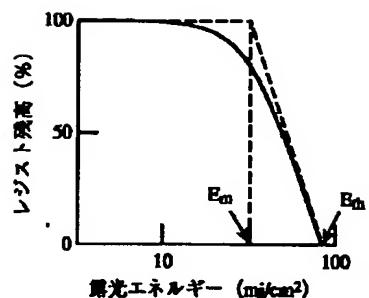
【符号の説明】

- 1, 101…半導体基板、
- 2, 102…下層配線層、
- 2a, 102a…絶縁膜、
- 2b, 102b…配線、
- 3, 103…層間絶縁膜
- 4, 8, 9, 10, 104, 106, 109…レジスト、
- 5, 11, 12, 105, 111…溝、
- 6, 13, 107, 110…コンタクトホール、
- 7, 108…導電膜

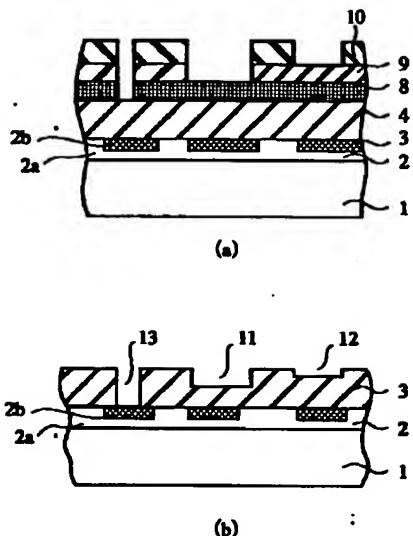
【図1】



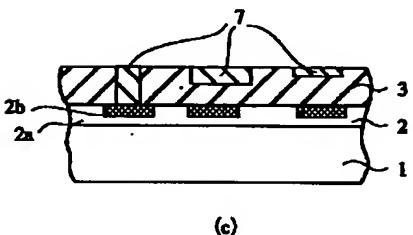
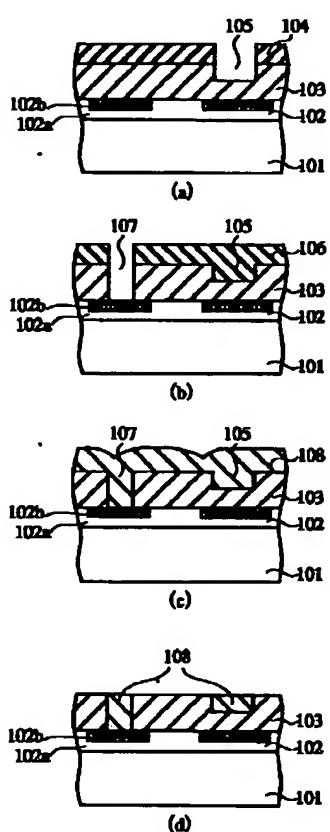
【図2】



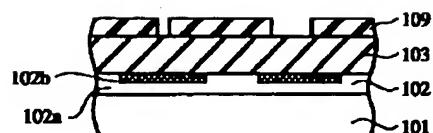
【図3】



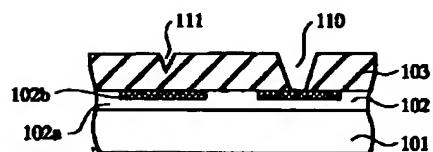
【図4】



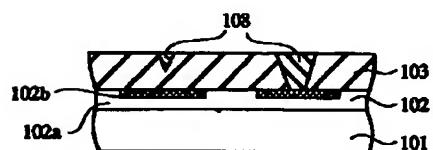
【図5】



(a)



(b)



(c)